

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Shinichi SONETAKA et al. :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed October 9, 2003 : Attorney Docket No. 2003_1425A
BIOPOLAR TRANSISTOR

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975


Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2002-298761, filed October 11, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Shinichi SONETAKA et al.

By 

Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
October 9, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月11日

出 願 番 号
Application Number:

特願2002-298761

[ST.10/C]:

[JP2002-298761]

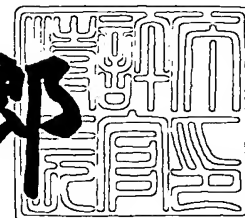
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051954

【書類名】 特許願

【整理番号】 2926940031

【提出日】 平成14年10月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/331
H01L 29/732

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 曾根高 真一

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 豊田 泰之

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 新井 一浩

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 太田 順道

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 バイポーラトランジスタ

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板上に複数個形成されたトランジスタ領域と、前記トランジスタ領域を覆うように形成された絶縁膜と、前記トランジスタ領域から前記絶縁膜を貫通し、前記絶縁膜上まで引き出された引出配線と、前記引出配線に接続するボンディングパッドとを備えたバイポーラトランジスタにおいて、前記複数個のトランジスタ領域を構成するエミッタ本数はそれぞれ異なり、 $2 \times (2^n - 1)$ (n は正の整数) で定義されたことを特徴とするバイポーラトランジスタ。

【請求項 2】 複数個のトランジスタ領域を引出配線で選択接続することで、トランジスタサイズの異なるバイポーラトランジスタが得られることを特徴とする請求項 1 記載のバイポーラトランジスタ。

【請求項 3】 半導体基板裏面がコレクタ電極であり、半導体基板上面にエミッタおよびベース電極が形成されたことを特徴とする請求項 2 記載のバイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はバイポーラトランジスタ、特にシリコン系高周波バイポーラトランジスタに関するものである。

【0002】

【従来の技術】

近年、携帯電話に代表される移動体通信機器の高性能化や小型化、さらには製品の短寿命化が進展する中で、モジュール部品等に搭載されるトランジスタには、高性能化・小型化・低コスト化はもちろんのことだが、フレキシブルなトランジスタサイズ対応において短期間での開発、供給を要望されている。これらを満足する手段の 1 つとして、1 つの半導体基板上に必要とするトランジスタサイズを持つエミッタ本数の異なるトランジスタ領域を複数個設け、前記トランジスタ

領域を前記引出配線によって選択接続することで、トランジスタサイズの異なる複数個のバイポーラトランジスタを実現している（例えば、特許文献 1 参照）。

【 0 0 0 3 】

従来の構成によるバイポーラトランジスタを図を用いて説明する。

【 0 0 0 4 】

図 5 は、従来の構成によるバイポーラトランジスタを上面から見た平面図である。図 5 に示すように、半導体チップ 1 の所定領域に第 1 トランジスタ領域 2 a、第 2 トランジスタ領域 2 b、第 3 トランジスタ領域 2 c が形成されている。これらのトランジスタ領域はそれぞれエミッタ、ベース、コレクタを有したバイポーラトランジスタであってエミッタ本数がそれぞれ異なっており、そのトランジスタサイズがそれぞれ異なっている。

【 0 0 0 5 】

第 1 トランジスタ領域 2 a のエミッタからエミッタ引出配線 4 によりワイヤボンディング用のエミッタパッド 6 に接続され、第 1 トランジスタ領域 2 a のベースからベース引出配線 5 によりワイヤボンディング用のベースパッド 7 に接続されている。なお、コレクタの電極は半導体チップ 1 の裏面に形成される。

【 0 0 0 6 】

図 5 (a) や図 5 (b) に示すようにエミッタ引出配線 4 とベース引出配線 5 により第 1 トランジスタ領域 2 a、第 2 トランジスタ領域 2 b、第 3 トランジスタ領域 2 c を選択接続することによって、トランジスタサイズの異なる複数個のバイポーラトランジスタを実現できる。配線の選択接続だけで複数個のバイポーラトランジスタを実現できるため、生産効率が非常に良く、短期間での市場提供を実現できる。

【 0 0 0 7 】

図 4 に従いこのトランジスタ領域の構造を説明する。図 4 は図 5 (a) の b - b ' で切断した断面図である。N⁺型半導体基板 8 上にシリコンエピタキシャル層からなる N 型コレクタ 9 と第 1 トランジスタ領域 2 a 及び第 2 トランジスタ領域 2 b を島状に完全分離するための、例えばトレンチ溝や LOCOS 酸化等で形成され深さが N⁺型半導体基板 8 まで達したチャンネルストッパー用の絶縁分離

領域13と、島状に完全分離されたコレクタ9表面に、イオン注入法やシリコンエピタキシャル法等で形成されたP型ベース10と、ベース10表面に不純物が導入されたN型エミッタ11と、各ベース10を絶縁分離するコレクタ9に形成された素子分離領域12とでエミッタ本数が複数個配設されたトランジスタ領域2a, 2bを形成する。N型エミッタ11の上にはN型多結晶シリコン膜14が形成されている。P型ベース10上と素子分離領域12上に外部ベース層となるP型多結晶シリコン膜15が形成されている。さらにトランジスタ領域2a, 2bが形成された上を絶縁膜3で被覆される。エミッタ電極およびベース電極が接続される第1トランジスタ領域2aは、N型多結晶シリコン膜14およびP型多結晶シリコン膜15をそれぞれ接続する配線プラグが埋め込まれたスルーホール16を介してエミッタ引出配線4とベース引出配線5に接続される。製造方法は、通常の微細加工技術とセルフアライン技術の範囲内で実現されるものである。

【0008】

【特許文献1】

特開平9-237882号公報（第2-3頁、第7図、第8図）

【0009】

【発明が解決しようとする課題】

しかしながら前記の構成では、必要とするトランジスタサイズのトランジスタ領域だけを1つの半導体基板上に複数個並べているにすぎないため、実現できるトランジスタサイズの数には限りがあるという課題があった。

【0010】

また、図6および図7に示すように例えばチャンネルストッパー用の絶縁分離領域13で囲まれた1つのトランジスタ領域にエミッタを例えば30本並べ、任意のエミッタおよびベースをエミッタ引出配線4とベース引出配線5で選択接続することによって、エミッタ本数が1～30本までの整数本数全てのバイポーラトランジスタを実現できる。しかしながら、この構成では、使われないエミッタ直下のベースとコレクタとの接合容量も全て寄生容量として加わってしまう。コレクターベース間容量が増加すると高周波特性が劣化してしまうため、現実的には実用できない構成であることが分かる。

【0011】

さらに図8に示すように、同一半導体基板上に、チャンネルストッパー用の絶縁分離領域13で囲まれた領域にエミッタ本数が1本のトランジスタ領域を複数個設けた構成である。例えば30個のトランジスタ領域を設けることによって、エミッタ本数が1～30本までの整数本数全てのバイポーラトランジスタを実現できる。この構成であれば、ベースおよびコレクタがそれぞれのエミッタで独立形成されているため、寄生容量が大きくなることはない。つまり、高周波特性を劣化させる心配がない。しかし、1つ1つのトランジスタ領域の間にはチャンネルストッパー用の絶縁分離領域13が介在するため、非常に大きな半導体基板が必要となる。

【0012】

そこで本発明の目的は、市場のフレキシブルなトランジスタサイズ要望に対しても、連続的なトランジスタサイズの実現が可能であるバイポーラトランジスタを提供するものである。

【0013】

【課題を解決するための手段】

本発明のバイポーラトランジスタは、半導体基板と、前記半導体基板上に複数個形成されたトランジスタ領域と、前記トランジスタ領域を覆うように形成された絶縁膜と、前記トランジスタ領域から前記絶縁膜を貫通し、前記絶縁膜上まで引き出された引出配線と、前記引出配線に接続するボンディングパッドとを備えたバイポーラトランジスタにおいて、前記複数個のトランジスタ領域を構成するエミッタ本数はそれぞれ異なり、 $2 \times (2^n - 1)$ (n は正の整数)で定義されたことを特徴とする。また、前記トランジスタ領域を前記引出配線によって選択接続することで、トランジスタサイズの異なる複数個のバイポーラトランジスタを実現できることを特徴とする。

【0014】

かかる構成によれば、エミッタ本数がそれぞれ2進法(2、4、8、16、 \cdot
 \cdot $2 \times (2^n - 1)$ (n は正の整数))で定義されており、複数個のトランジスタ領域を引出配線で選択接続することによって、実現可能な偶数本数全てを網羅

するトランジスタサイズのバイポーラトランジスタを実現できる。トランジスタ領域数を n とすると、エミッタ本数が最小 2 本、最大 $2 \times (2^n - 1)$ 本までの偶数本数全てを網羅することができる。これにより、フレキシブルなトランジスタサイズ対応と、短期間での製品開発とを両立することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下本発明の実施の形態のバイポーラトランジスタについて、図面を参照しながら説明する。

【 0 0 1 6 】

図 1 は本発明の構成による実施の形態のバイポーラトランジスタを上面から見た構成図である。図 2 は図 1 の複数のトランジスタ領域 A 部のエミッタ数を表す拡大平面模式図である。図 1 および図 2 において、半導体基板 1 上に形成された第 1 トランジスタ領域 2 a、第 2 トランジスタ領域 2 b、第 3 トランジスタ領域 2 c、第 4 トランジスタ領域 2 d であり、それぞれエミッタ本数が 2 本、4 本、8 本、16 本形成されている。第 1 トランジスタ領域 2 a 及び第 3 トランジスタ領域 2 c からエミッタ引出配線 4 およびベース引出配線 5 によりワイヤボンディング用のエミッタパッド 6 とベースパッド 7 にそれぞれ接続されている。

【 0 0 1 7 】

次にトランジスタ領域の構成について説明する。図 3 は第 1 トランジスタ領域 2 a と第 2 トランジスタ領域 2 b の拡大平面図で、図 4 は図 3 の a - a' 線に沿った断面図である。N⁺型半導体基板 8 上にシリコンエピタキシャル層からなる N 型コレクタ 9 と第 1 トランジスタ領域 2 a 及び第 2 トランジスタ領域 2 b を島状に完全分離するための、例えばトレンチ溝や LOCOS 酸化等で形成され深さが N⁺型半導体基板 8 まで達したチャンネルストッパー用の絶縁分離領域 13 と、島状に完全分離されたコレクタ 9 表面に、シリコンエピタキシャル法等で形成された P 型ベース 10 と、ベース 10 表面に不純物が導入された N 型エミッタ 11 と、各ベース 10 を絶縁分離するコレクタ 9 に形成された素子分離領域 12 とでエミッタ本数が複数個配設されたトランジスタ領域 2 a, 2 b を形成する。N 型エミッタ 11 の上には N 型多結晶シリコン膜 14 が形成されている。P 型ベ-

ス 1 0 上と素子分離領域 1 2 上に外部ベース層となる P 型多結晶シリコン膜 1 5 が形成されている。さらにトランジスタ領域 2 a, 2 b が形成された上を絶縁膜 3 で被覆される。エミッタ電極およびベース電極が接続される第 1 トランジスタ領域 2 a は、N 型多結晶シリコン膜 1 2 および P 型多結晶シリコン膜 1 3 をそれぞれ接続する配線プラグが埋め込まれたスルーホール 1 6 を介してエミッタ引出配線 4 とベース引出配線 5 に接続される。コレクタ電極は図示していないが半導体基板 8 の裏面に形成される。

【 0 0 1 8 】

上記、バイポーラトランジスタの製造方法は、通常の微細加工技術とセルフアライン技術の範囲内で実現されるものである。

【 0 0 1 9 】

複数個あるトランジスタ領域のエミッタ本数は、それぞれ 2 進法（図 2 では 2、4、8、16 本）で定義されており、図 3 および図 4 に示すように、任意のトランジスタ領域のエミッタ 1 1 とベース 1 0 とを絶縁膜 3 を貫通してエミッタ引出配線 4 とベース引出配線 5 に選択接続することによって、トランジスタサイズの異なる複数個のバイポーラトランジスタを実現できる。

【 0 0 2 0 】

本発明の実施の形態の構成によれば、エミッタ本数が 2 進法で定義される真性トランジスタ領域数を n とすると、トランジスタ領域の接続を変えることにより、エミッタ本数が最小 2 本、最大 $2 \times (2^n - 1)$ 本までの偶数本数全てのバイポーラトランジスタを実現できる。図 1 は真性トランジスタ領域数 $n = 4$ の場合を図示したものである。4 つのトランジスタ領域のエミッタ本数はそれぞれ 2、4、8、16 本である。この 4 つのトランジスタ領域を引出配線で選択接続することによって、2 ～ 30 本までの偶数本数全てのバイポーラトランジスタを実現できる。

【 0 0 2 1 】

これにより、フレキシブルなトランジスタサイズ対応と、短期間での製品開発とを両立することができる。小さな半導体基板を用いて高周波特性を劣化させずにトランジスタサイズの異なる複数個のバイポーラトランジスタを実現するため

には、寄生容量が大きくならないよう、それぞれが分離された複数個のトランジスタ領域を設け、且つトランジスタ領域数は最小にした方が良くことが分かる。つまり、複数個のトランジスタ領域のエミッタ本数を2進法で定義することは最も効率的な手段といえる。

【0022】

なお、図4に示すように、P型ベース10はエピタキシャル法、およびN型エミッタ11は拡散により形成したが、本発明はこれに限定されず、N型のコレクタ上に順次エピタキシャル成長させたP型ベース、N型エミッタであってもよく、またN型のコレクタ表面に順次拡散によりP型ベース、N型エミッタを形成させたトランジスタであってもよい。

【0023】

さらに、エミッタ及びベース電極を1層配線により形成しているが2層配線であってもよい。

【0024】

【発明の効果】

以上のように、本発明によるバイポーラトランジスタは、半導体基板上に複数個のトランジスタ領域を設け、複数個のトランジスタ領域を構成するエミッタ本数はそれぞれ異なり、 $2 \times (2^n - 1)$ (n は正の整数)で定義し、さらに任意のトランジスタ領域を引出配線で選択接続することで、高周波特性を劣化させず、さらに半導体基板を大きくすることなく、連続したエミッタ本数を持つフレキシブルなトランジスタサイズのバイポーラトランジスタを実現できる。

【図面の簡単な説明】

【図1】

本発明のバイポーラトランジスタを示す構成図

【図2】

本発明のトランジスタ領域のエミッタ数を表す拡大平面模式図

【図3】

第1トランジスタ領域2aと第2トランジスタ領域2bの拡大平面図

【図4】

トランジスタ領域の拡大断面図

【図 5】

従来のバイポーラトランジスタを示す構成図

【図 6】

従来の 1 つのトランジスタ領域でトランジスタサイズを変更する拡大平面図

【図 7】

従来の 1 つのトランジスタ領域でトランジスタサイズを変更する拡大断面図

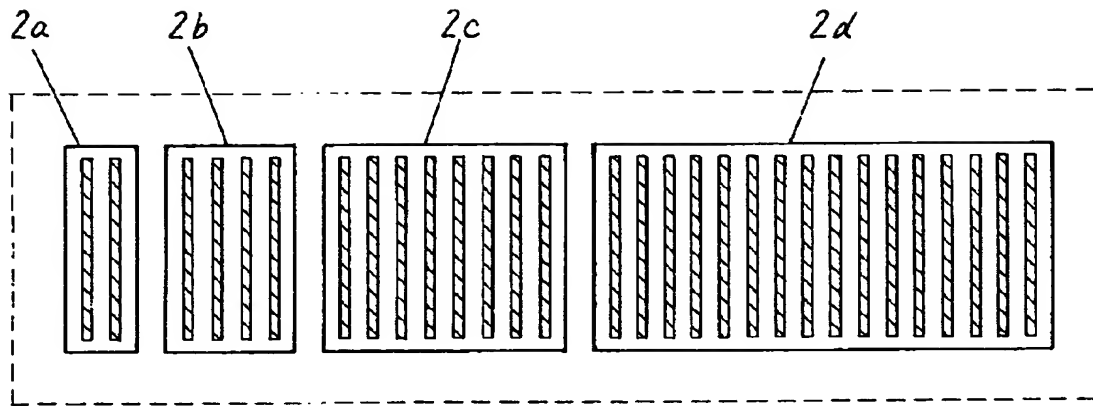
【図 8】

従来の 1 個のエミッタを持つ複数のトランジスタ領域でトランジスタサイズを変更する拡大断面図

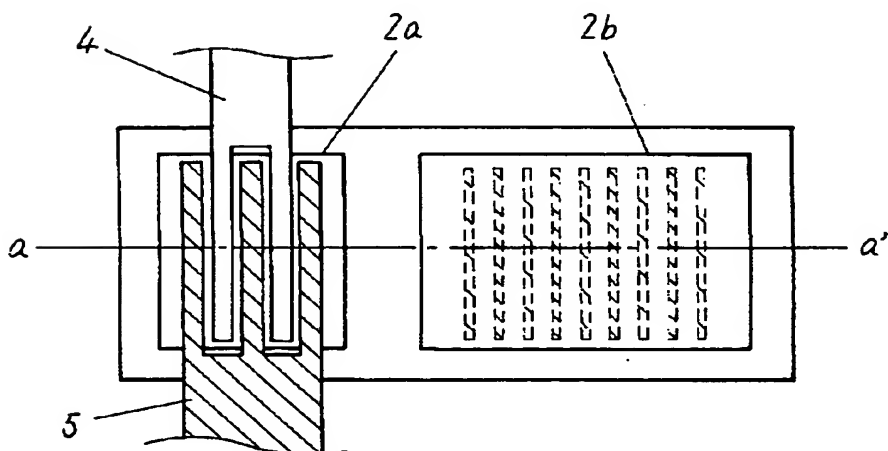
【符号の説明】

- 1 半導体チップ
- 2 a, 2 b, 2 c, 2 d トランジスタ領域
- 3 絶縁膜
- 4 エミッタ引出配線
- 5 ベース引出配線
- 6 エミッタパッド
- 7 ベースパッド
- 8 半導体基板
- 9 コレクタ
- 10 ベース
- 11 エミッタ

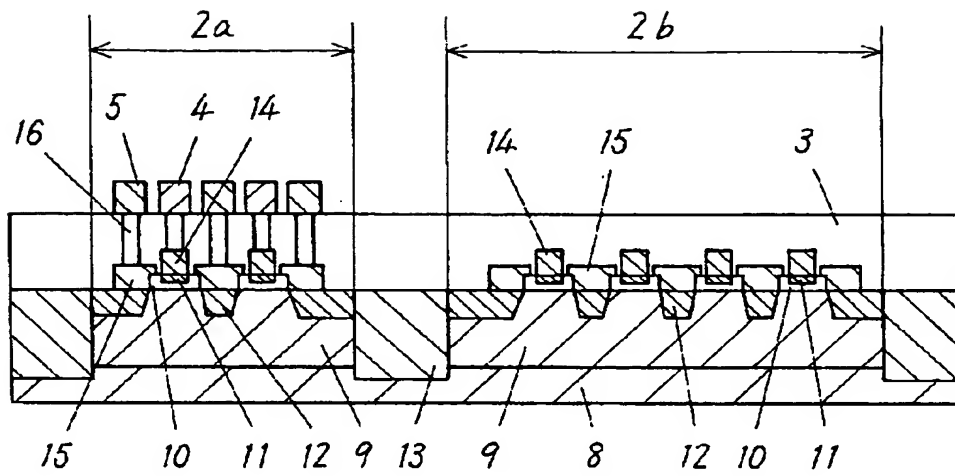
【図 2】



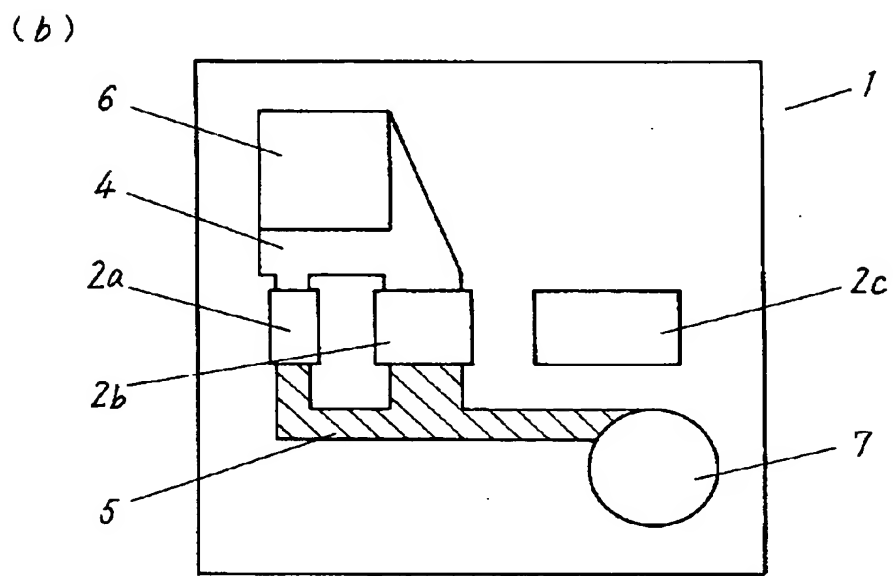
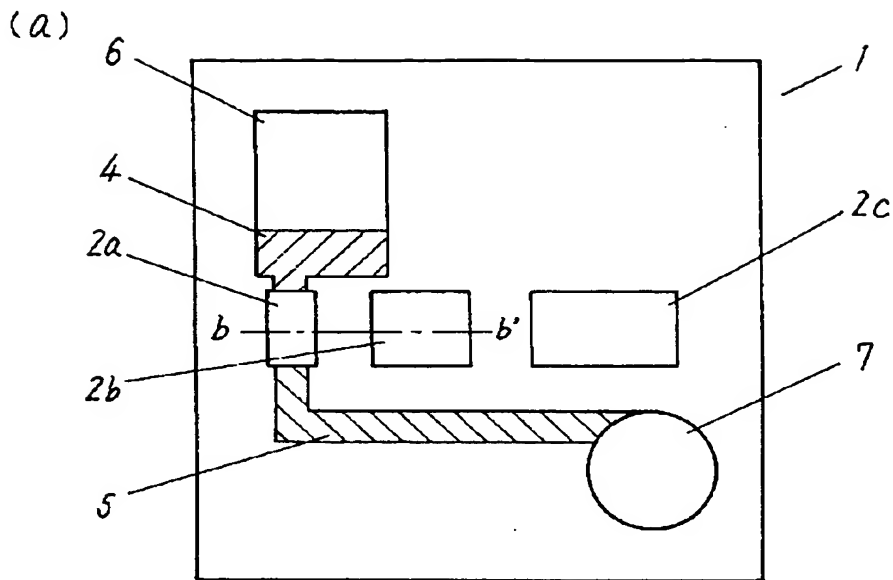
【図 3】



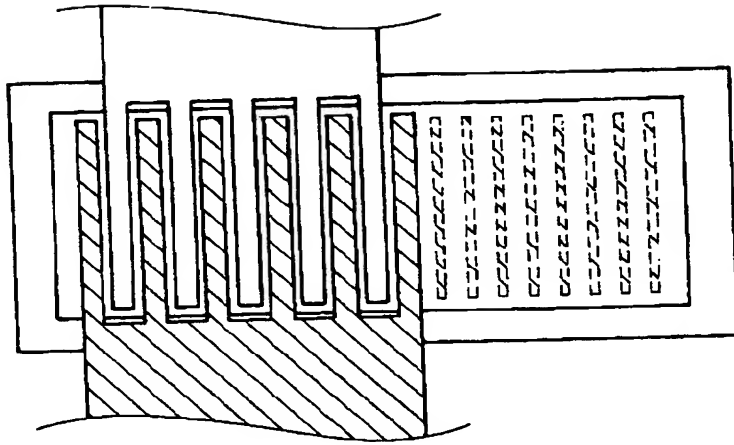
【図4】



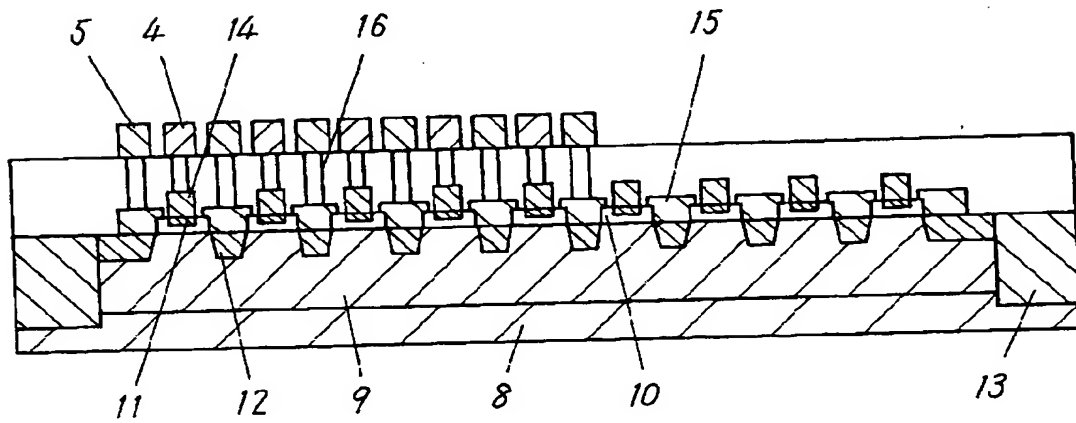
【図5】



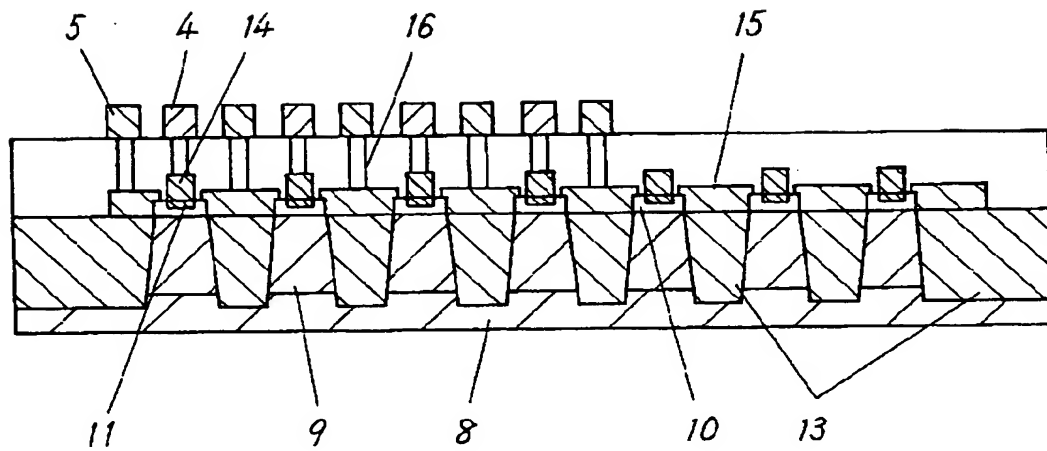
【図6】



【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 市場のフレキシブルなトランジスタサイズ要望に対しても、連続的なエミッタ本数を持つフレキシブルなトランジスタサイズを実現できるバイポーラトランジスタを提供するものである。

【解決手段】 半導体基板と、前記半導体基板上に複数個形成されたトランジスタ領域と、前記トランジスタ領域を覆うように形成された絶縁膜と、前記トランジスタ領域から前記絶縁膜を貫通し、前記絶縁膜上まで引き出された引出配線と、前記引出配線に接続するボンディングパッドとを備えたバイポーラトランジスタにおいて、前記複数個のトランジスタ領域を構成するエミッタ本数が、それぞれ2進法（2、4、8、16、・・・）で定義されたことを特徴とするバイポーラトランジスタ。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社